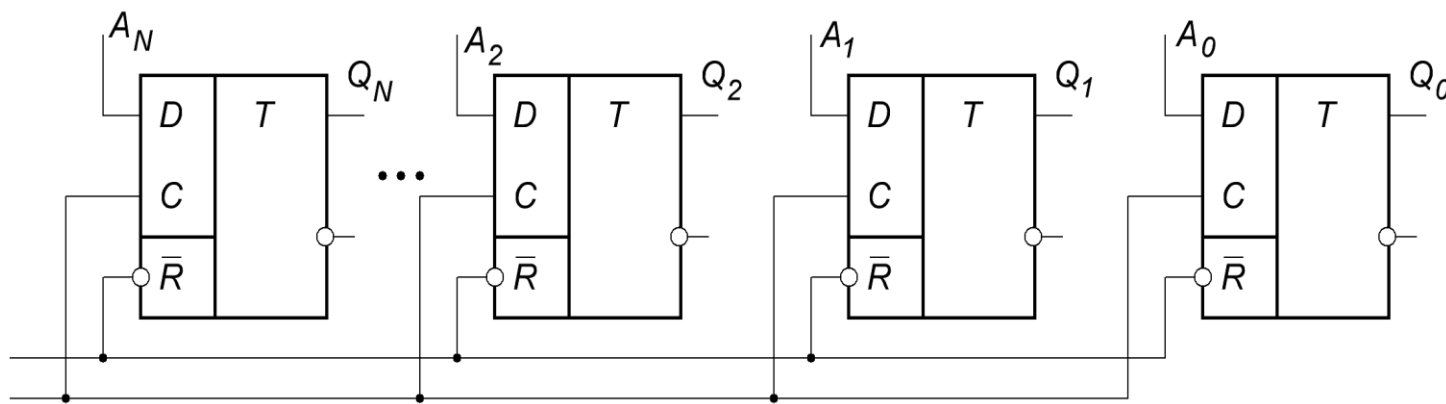


РЕГІСТРИ

Регістри

Регістром називається типовий функціональний вузол комп'ютера, призначений **для приймання, тимчасового зберігання, перетворення і передачі n - розрядного двійкового слова**. Регістр містить регулярний набір однотипних тригерів, в кожному з яких зберігається значення одного двійкового розряду машинного слова. Найчастіше використовують тригери типів *RS*, *JK* і *D*.



Регістри, призначені тільки для приймання (записування), зберігання і передачі інформації, називаються **елементарними** або **фіксаторами**. Регістри, в яких зберігання даних поєднується з мікроопераціями зсуву, називаються **зсувними**.

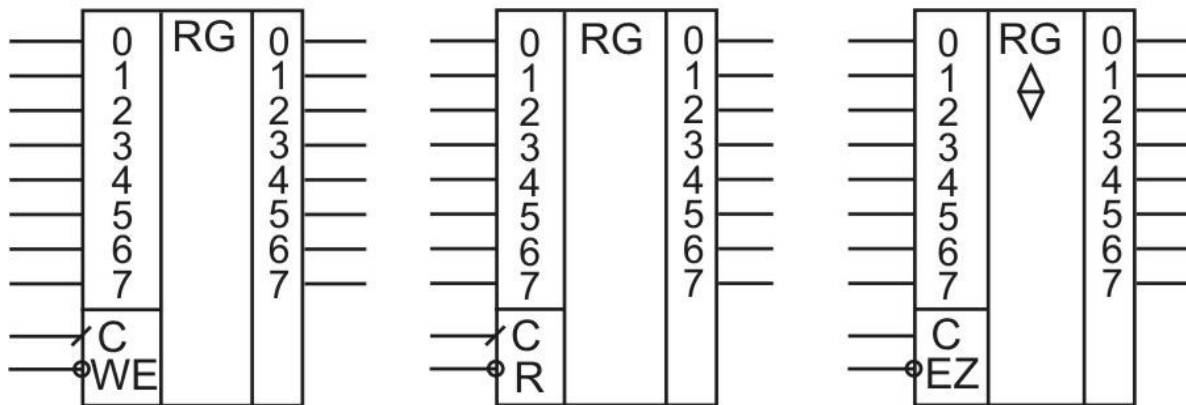
Паралельні регістри

Елементарні регістри будують на одноступеневих тригерах, а регістри зсуву – на двоступеневих або D - тригерах з динамічним керуванням. Логічна функція регістра позначається буквами RG (register). Регістри забезпечують зберігання команд, адреси пам'яті, результатів операцій, індексів

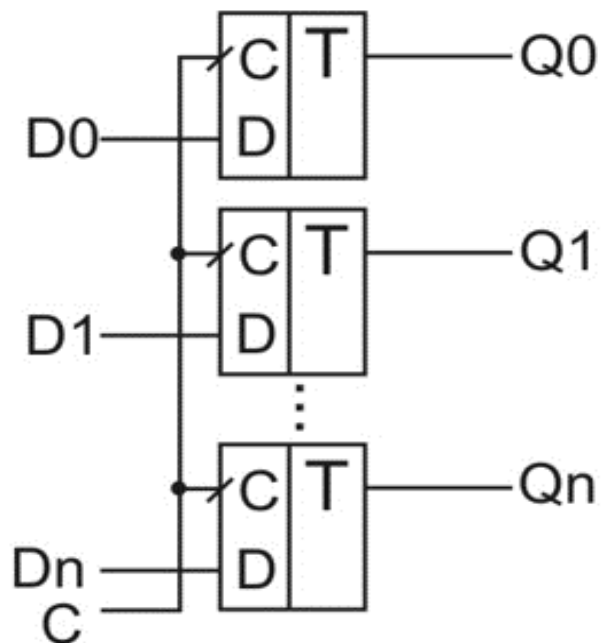
Види паралельних регістрів:

- **регістри, що спрацьовують за фронтом сигналу** (регістри, що тактуються). Зміна стану - за фронтом сигналу C . До приходу наступного фронту - зберігання;
- **регістри, що спрацьовують за рівнем сигналів** (регістри-засувки). Якщо сигнал $C = 1$, то вихідні сигнали повторюють вхідні. Якщо сигнал $C = 0$, то запам'ятовування і зберігання вхідних сигналів.

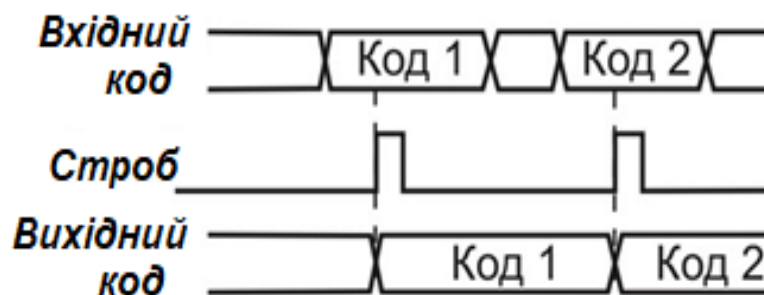
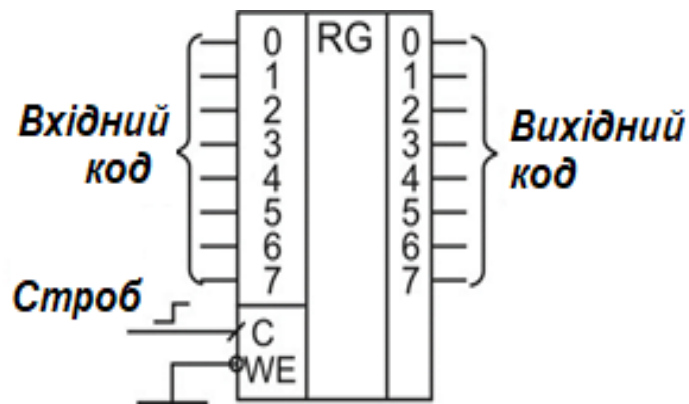
Паралельні регістри



Типи паралельних регістрів: регістри, що тактуються та регістр-засувка

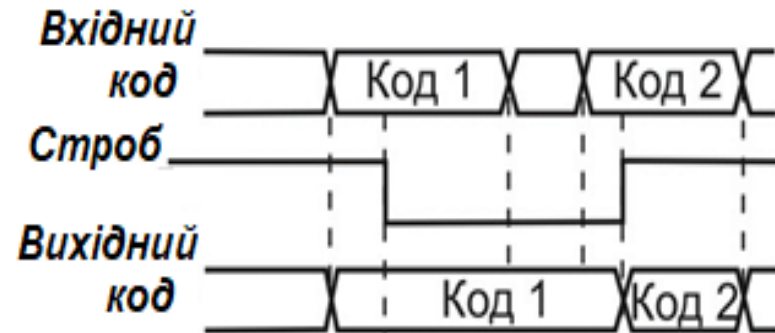
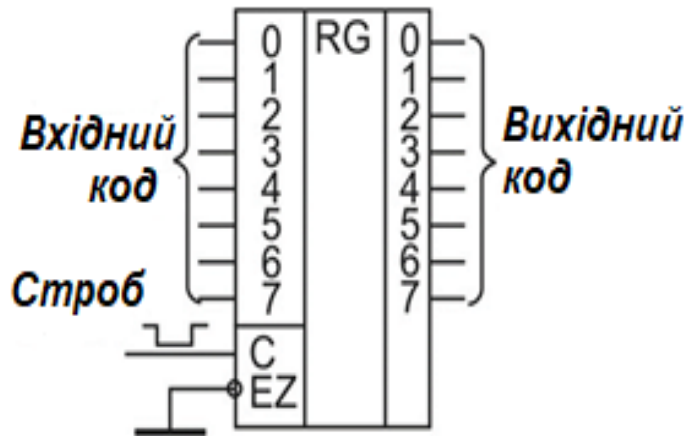


Паралельні регістри. Регістри, що тактуються



Входи			Виходи
-WE	C	D	Q
0	0→1	0	0
0	0→1	1	1
0	0	X	Не міняється
0	1	X	Не міняється
1	X	X	Не міняється

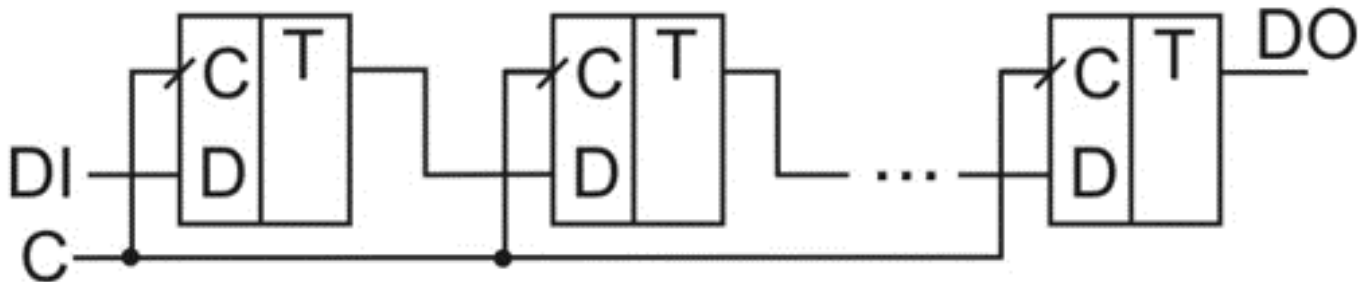
Паралельні регістри. Регістр-засувка



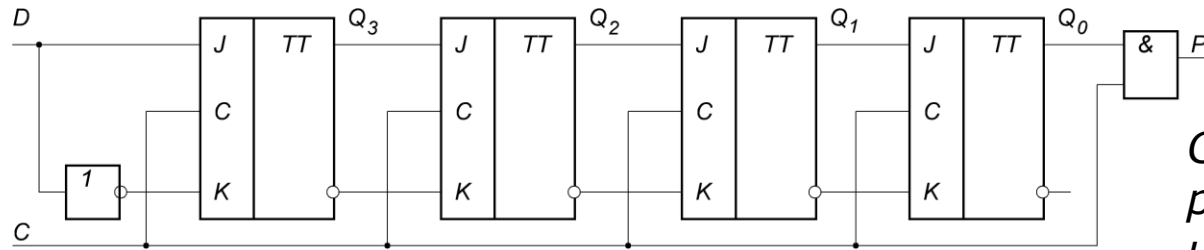
Входи			Виходи
-EZ	C	D	Q
0	1	1	1
0	1	0	0
0	0	X	Не міняється
1	X	X	Z-стан

Регістри зсуву

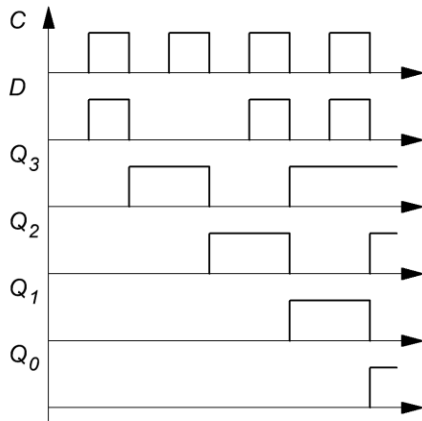
Зсув — це одночасне просторове переміщення двійкового слова в розрядній сітці із збереженням порядку слідування нулів і одиниць. Регістри, призначені для виконання мікрооперацій зсуву, називаються регістрами зсуву. Мікрооперації зсуву використовують у процесі виконання команд множення, ділення і нормалізації. Крім того, за допомогою зсуву здійснюється перетворення паралельного коду в послідовний або навпаки. Зсув слова може виконуватися праворуч (у бік молодших розрядів) або ліворуч (у бік старших розрядів).



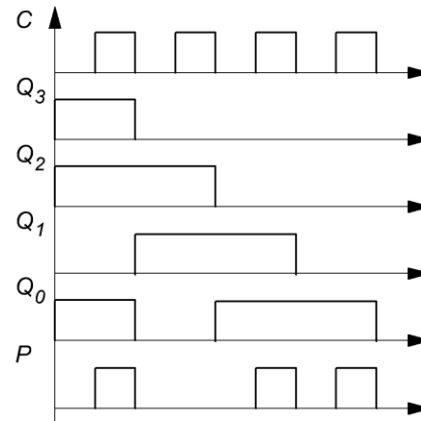
Регістри зсуву



а)



б)

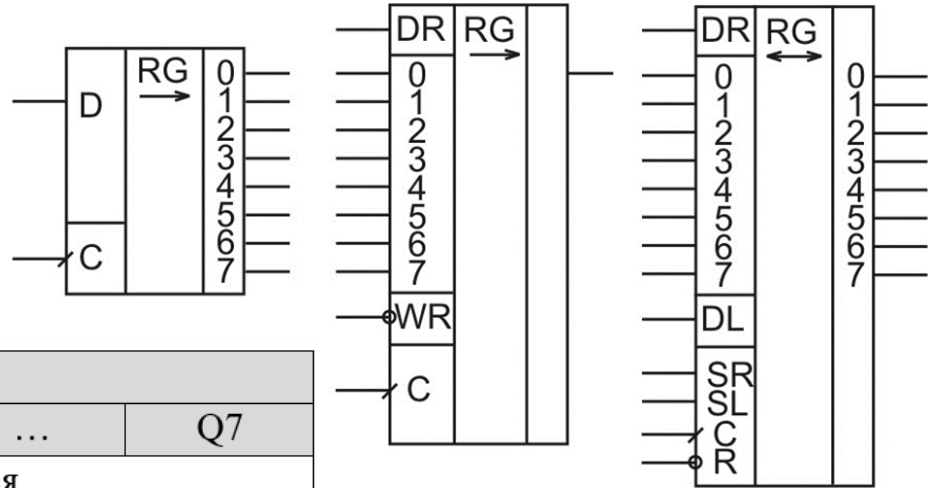


в)

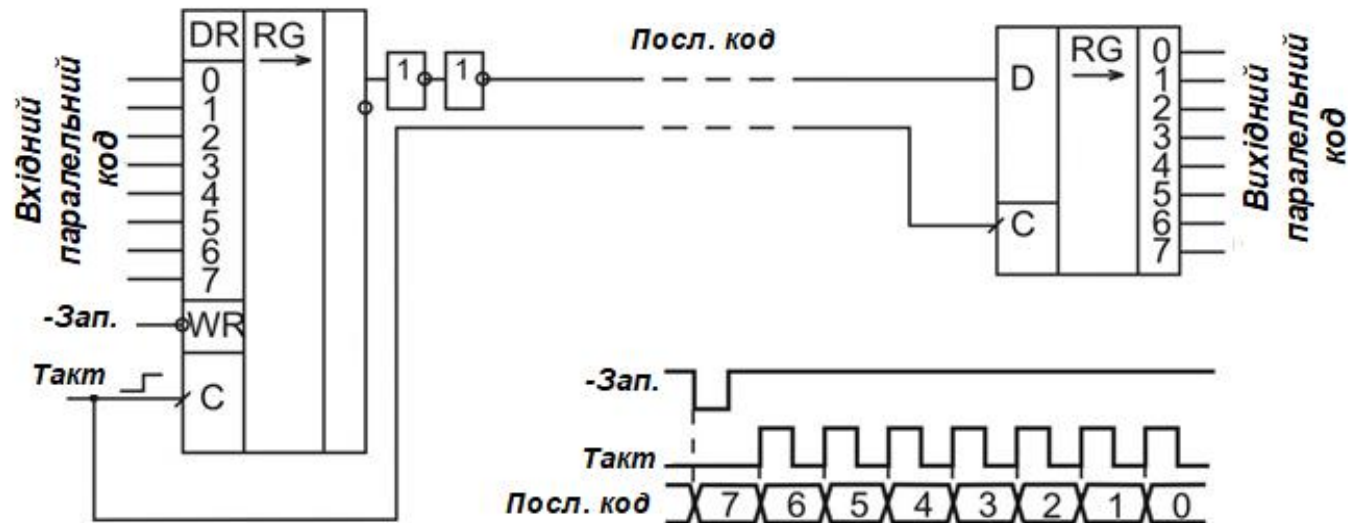
Схема 4-х розрядного реєстра зсуву праворуч на JK-тригерах, яка забезпечує перетворення кодів, показана на рис. а). Старший розряд реєстра за допомогою інвертора на К-вході працює в режимі D-тригера.

На вхід реєстра по лінії D поступає послідовний код слова $A = 1101$ в напрямку від молодших розрядів до старших. Значення розрядів слова поступає одночасно із синхроімпулсами, які забезпечують як приймання коду в старший розряд, так і одночасний зсув вмісту реєстра праворуч б). Після приходу чотирьох синхроімпулсів на виходах реєстра $Q_3 - Q_0$ встановлюється код 1101. Таким чином здійснюється перетворення послідовного коду в паралельний. Перетворення паралельного коду в послідовний також відбувається зсувом слова, яке зберігається. Процес перетворення паралельного коду слова $A = 1101$ в послідовний в напрямку від молодших розрядів до старших за допомогою зсуву праворуч показаний на рис. в).

Регістри зсуву



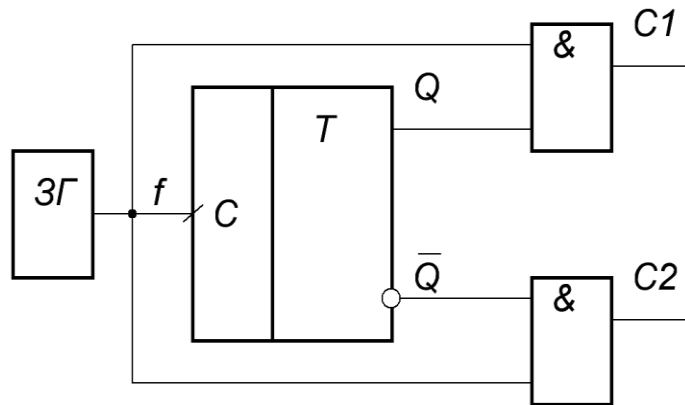
Входи		Виходи			
C	D	Q0	Q1	...	Q7
0	X	Не міняється			
1	X	Не міняється			
0→1	0	0	Q0	...	Q6
0→1	1	1	Q0	...	Q6



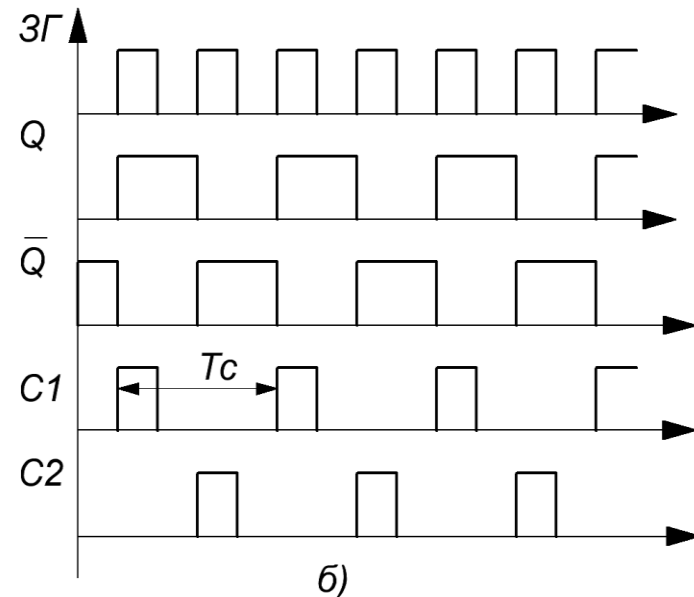
Розподільники тактів

У системах синхронізації і пристроях керування використовують розподільники тактів (РТ), які виробляють серії імпульсів. Найпростіший спосіб побудови розподільника тактів полягає в розподілі лічильними тригерами частоти прямокутних імпульсів f від задавального генератора (ЗГ).

На прямому й інверсному виходах тригера за допомогою схем збігу утворюються дві послідовності імпульсів фаз (а). Тривалість такту синхронізації T_c в два рази більша за період надходження імпульсів ЗГ (б).



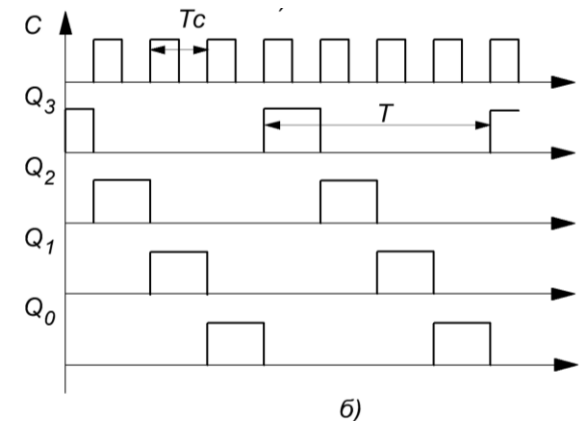
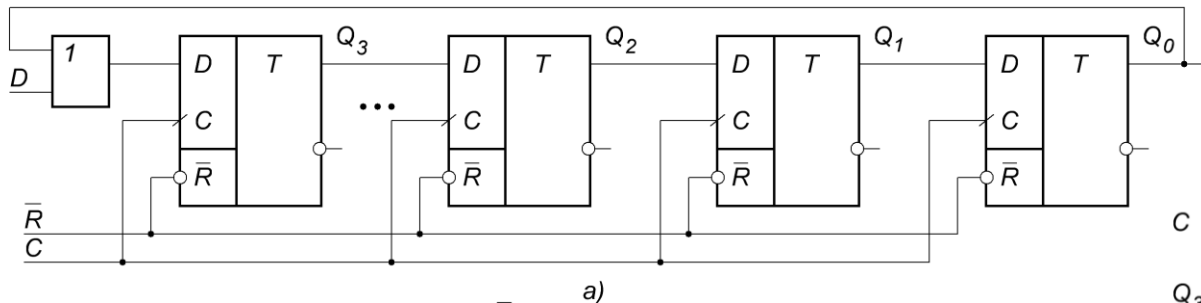
а)



б)

Розподільники тактів

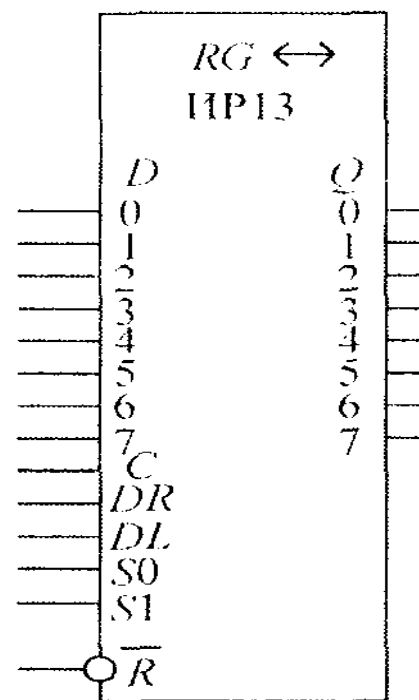
Розподільники тактів будуються також на кільцевих регістрах, в яких вихід молодшого розряду з'єднаний з інформаційним входом старшого, якщо реалізований зсув праворуч (а), або є зв'язком від старшого розряду до молодшого при зсуві ліворуч. Кільцевий регістр як розподільник тактів функціонує таким чином. Спочатку через схему АБО в старший розряд Q_4 записується одиниця. Потім за фронтом кожного синхроімпульсу одиниця зсувається праворуч і по чергово з'являється на виходах Q_3 , Q_2 , Q_1 . З приходом четвертого синхроімпульсу одиниця з молодшого розряду Q_1 по кільцевому зв'язку і через схему АБО знову записується в старший розряд



Регістри в мікросхемах серії КР1533

Мікросхема КР1533ІР13 – це восьмирозрядний реверсивний зсувний регістр. Він має входи для паралельного записування даних D_0 – D_7 , синхронізації C , послідовного приймання DR і DL , завдання режимів роботи S_1 , S_0 та вхід скидання R . Інформація зчитується з паралельних виходів Q_0 – Q_7 . Розряди нумеруються зліва направо: Q_0 – старший розряд, Q_7 – молодший.

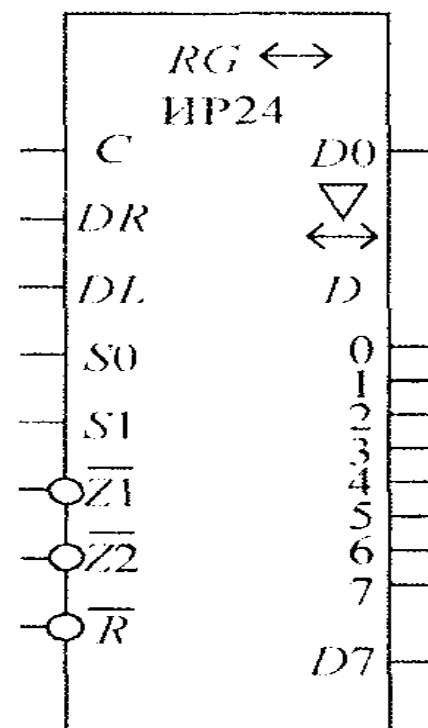
Регістр забезпечує чотири режими роботи: $S_1S_0 = 00$ – зберігання даних (блокування); 01 – послідовне приймання зі зсувом праворуч за входом DR , 10 – послідовне приймання зі зсувом ліворуч за входом DL ; 11 – паралельне записування по входу D_0 – D_7 . Записування і послідовне приймання даних здійснюються за фронтом синхроімпульсу C . Під час записування послідовне введення даних блокується. При $R = 0$ всі входи регістра встановлюються в стан «0».



Регістри в мікросхемах серії КР1533

Мікросхема КР1533ИР24 – це восьмирозрядний реверсивний зсувний регістр з двонаправленими виводами D0-D7 для приймання та передавання інформації. Виводи D0-D7 мають Z-стани, в які вони переключаються при подачі сигналу лог. 1 хоча б на один із входів Z1 чи Z2. Регістр має також додаткові виводи D0 і D7, які зв'язані відповідно із старшим і молодшим розрядами, але не мають Z-станів.

Регістр забезпечує чотири синхронні режими роботи залежно від сигналів на входах S1-S0: 00 – зберігання (блокування); 01 – послідовне записування за входом DR із зсувом праворуч; 10 – послідовне записування по входу DL із зсувом ліворуч; 11 – паралельне приймання даних. Перші три режими реалізуються при $Z1 = Z2 = 0$; при цьому інформація передається на виводи D0-D7, а четвертий режим здійснюється незалежно від значень сигналів на виходах Z1 і Z2. Всі операції виконуються за фронтом сигналу синхронізації C



Регістри в мікросхемах серії КР1533

Мікросхема КР1533ИР34 це два незалежні чотирирозрядні регістри з трьома станами на виходах Q0-Q3. Паралельний запис даних за входами D0-D3 проводиться при сигналі лог. 1 на вході дозволу L; якщо $L = 0$, то регістр переходить в режим зберігання. Високий рівень сигналу на вході Z переключає виходи регістра в третій стан. Але при цьому в регістр можуть записуватись нові дані або зберігатись попередні. Мікросхема має велику навантажувальну здатність, що в поєднанні з трьома станами дозволяє використовувати регістр в магістральних структурах без додаткових інтерфейсних схем.

