

Рисунок 1. – Логічна структура лічильника

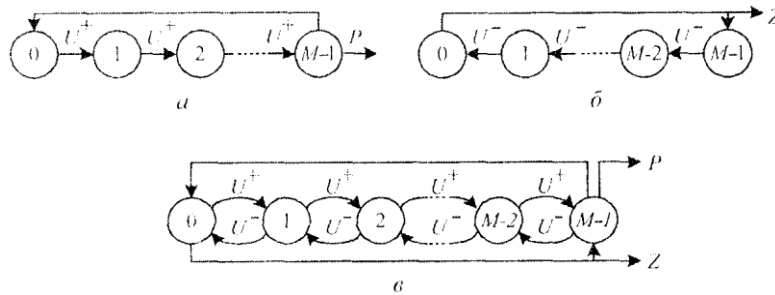


Рисунок 2. – Графи лічильників: а – підсумовуючого; б – віднімального; в – реверсивного

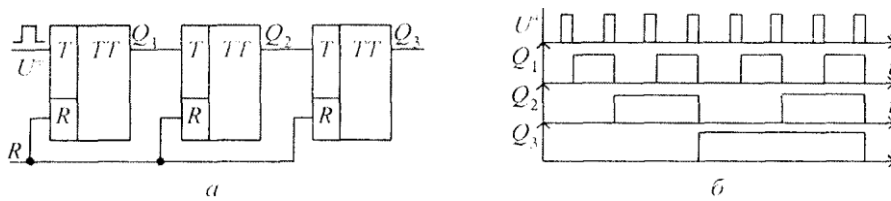


Рисунок 3. – Асинхронний підсумовуючий лічильник на двоступеневих Т-тригерах: а – схема; б – часові діаграми роботи

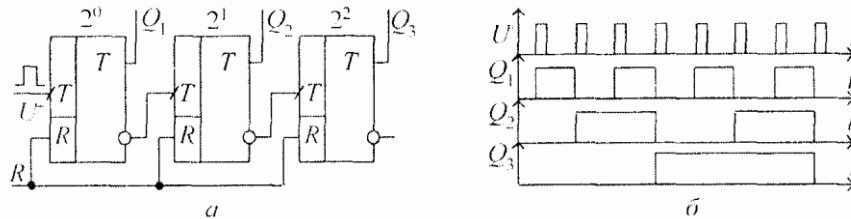


Рисунок 4. – Асинхронний підсумовуючий лічильник на тригерах з динамічним керуванням по фронту: а – схема; б – часові діаграми роботи

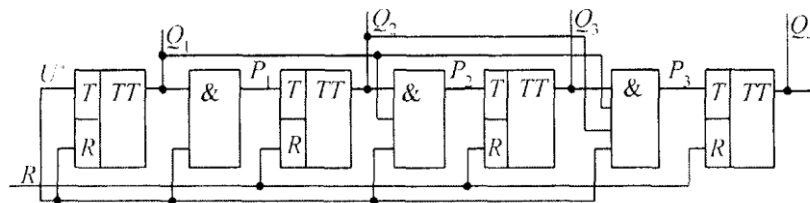


Рисунок 5. – Схема підсумовуючого лічильника з паралельними перенесеннями

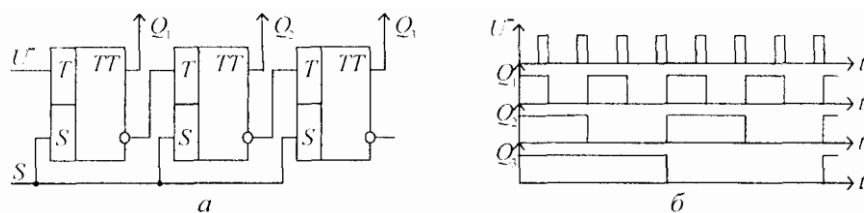


Рисунок 6. – Асинхронний віднімальний лічильник на двоступеневих тригерах: а – схема; б – часові діаграми роботи

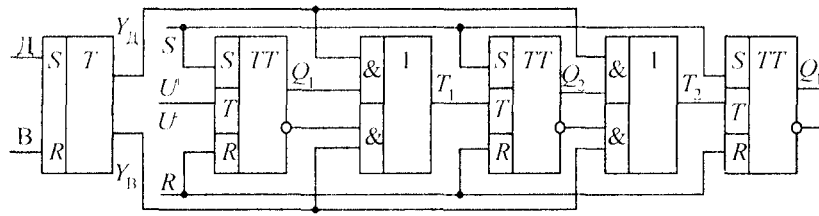


Рисунок 7.— Схема одноканального реверсивного лічильника

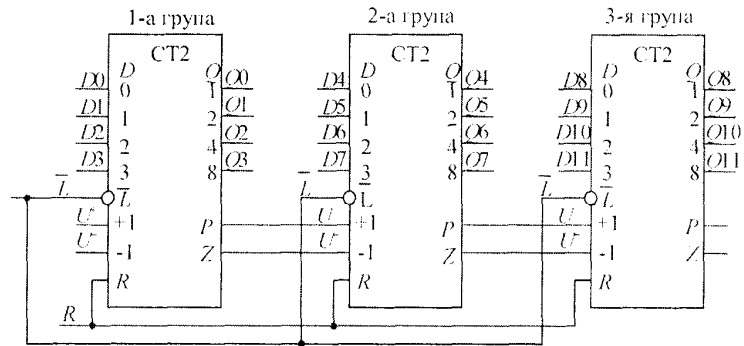


Рисунок 8.— Схема 12-розрядного двоканального реверсивного лічильника з груповою структурою

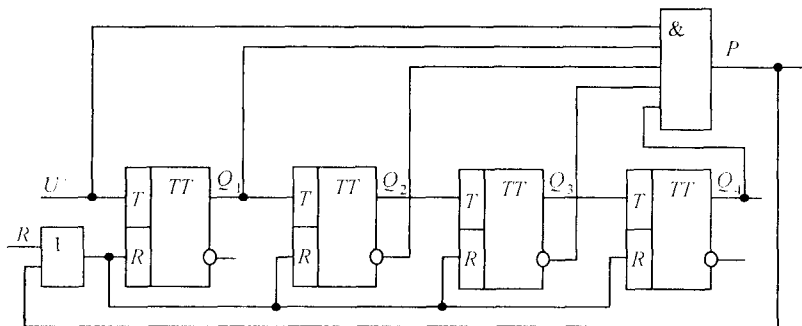


Рисунок 9.— Схема десятичного підсумовуючого лічильника з оберненими зв'язками

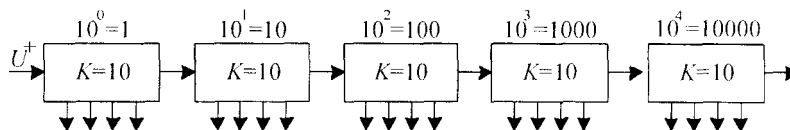


Рисунок 10. – Схема п'ятирозрядного підсумовуючого двійково-десятичного лічильника

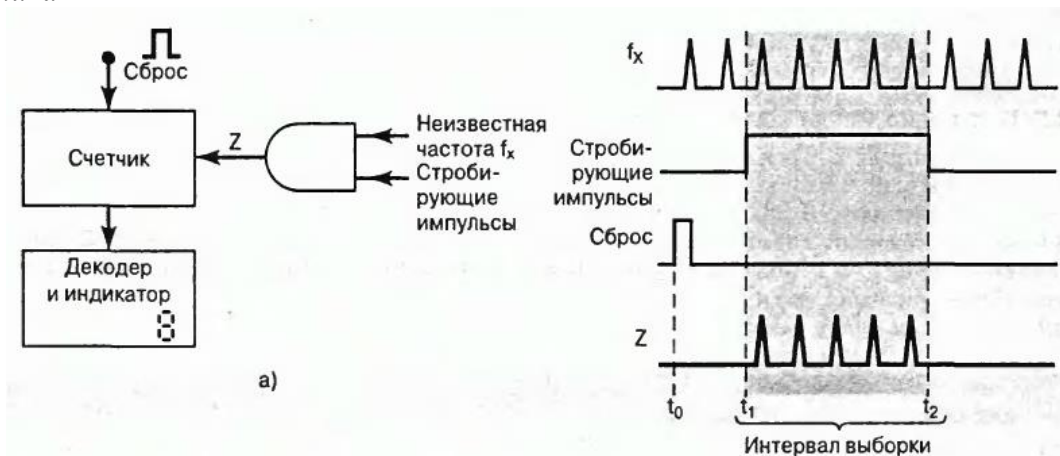


Рисунок 11. – Метод реалізації лічильника частоти

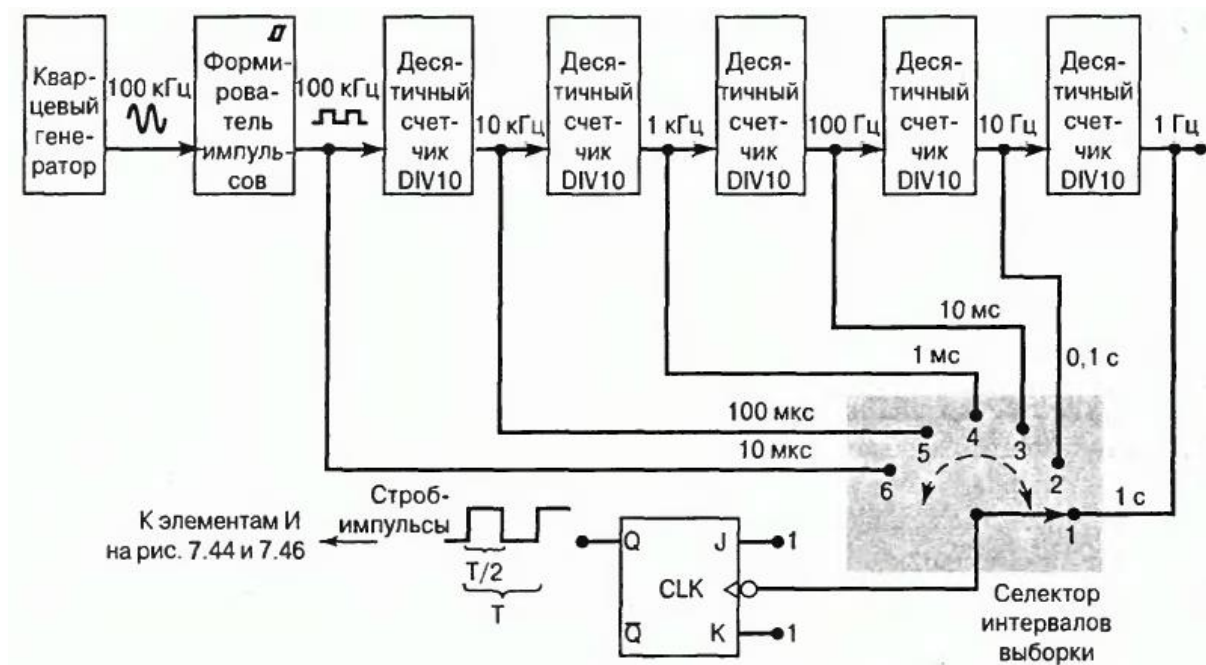


Рисунок 12.- Метод отримання точного інтервалу дискретизації для лічильника частоти

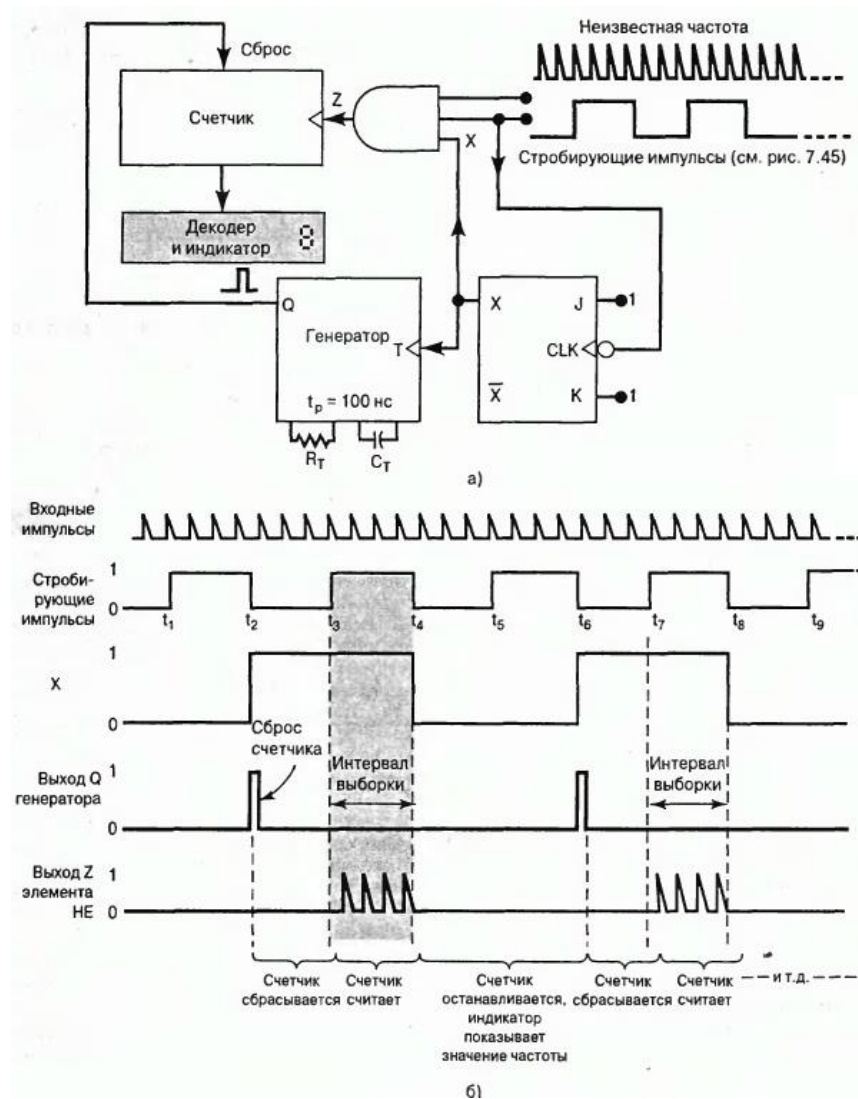


Рисунок13.- Лічильник частоти

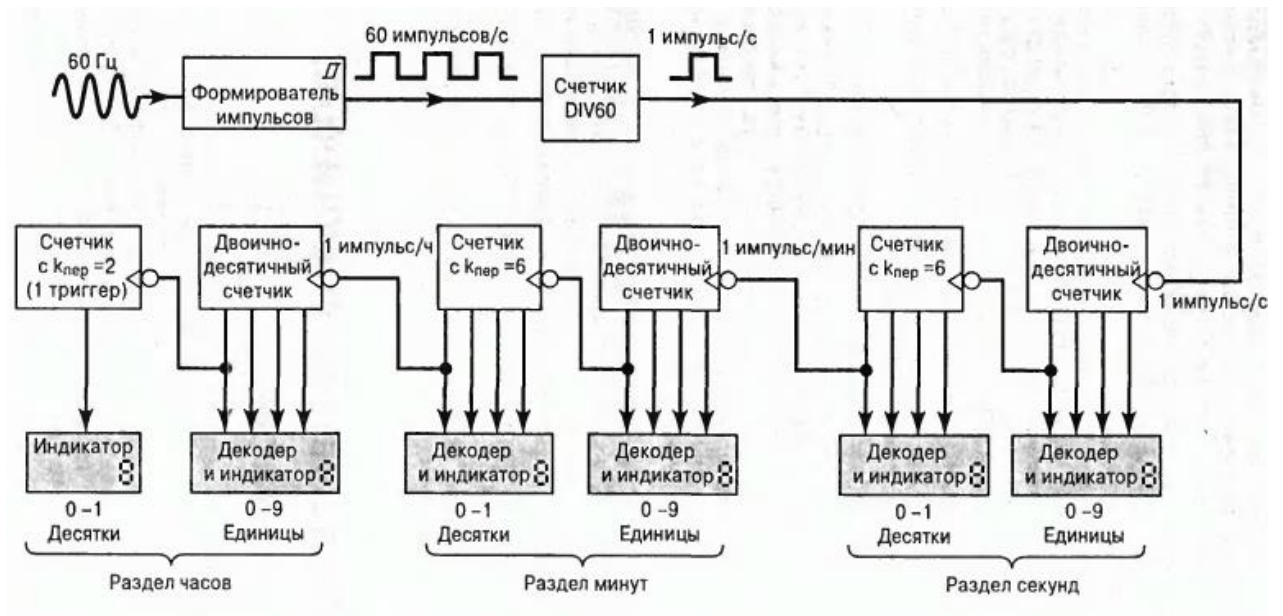


Рисунок14. – Блок-схема цифрового годинника