

Рисунок 1. – Умовні графічні позначення дешифратора: а – на функціональних схемах; б, в – на принципіальних схемах

Таблиця 1 – Логіка роботи дешифратора з прямим та інверсним виходом

X ₂	X ₁	F ₀	F ₁	F ₂	F ₃
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

X ₂	X ₁	L ₀	L ₁	L ₂	L ₃
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

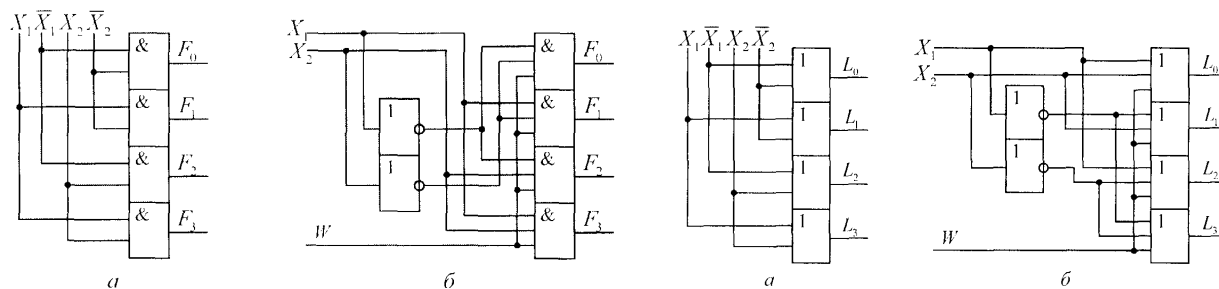


Рисунок 2. – Схеми лінійних дешифраторів на елементах І: а – з парафазними входами; б – з однофазними входами і стробуванням

Рисунок 3. – Схеми лінійних дешифраторів на елементах АБО: а – з парафазними входами; б – з однофазними входами і стробуванням

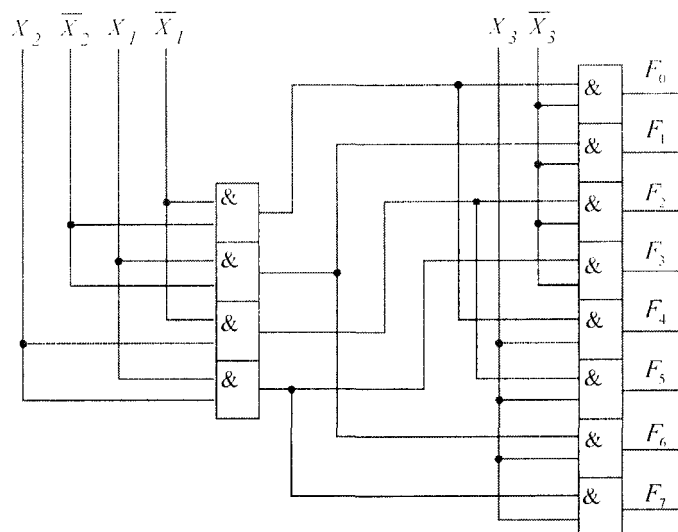


Рисунок 4. – Схеми пірамідального дешифратора на три входи і вісім виходів

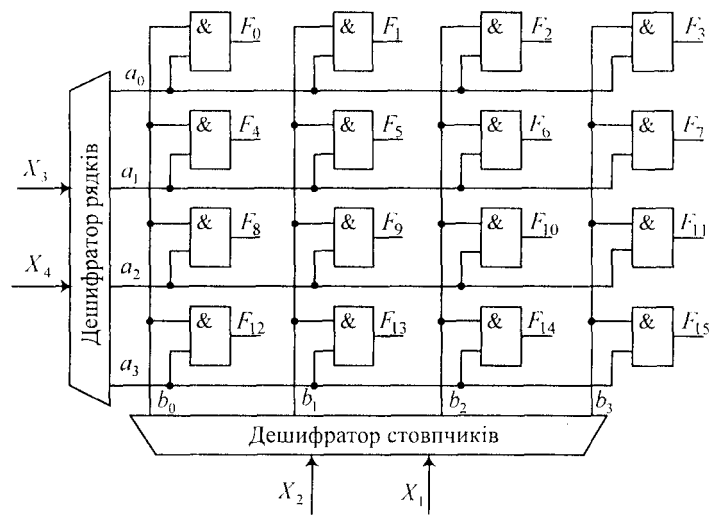


Рисунок 5. – Схема прямокутного дешифратора

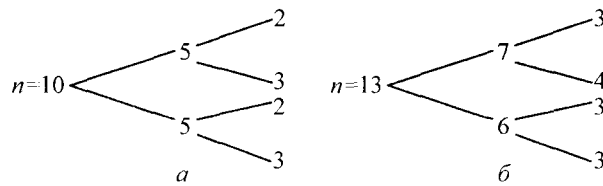


Рисунок 6. – Розбиття вхідного коду, який дешифрується на групи: а – при $n = 10$; б – при $n = 13$

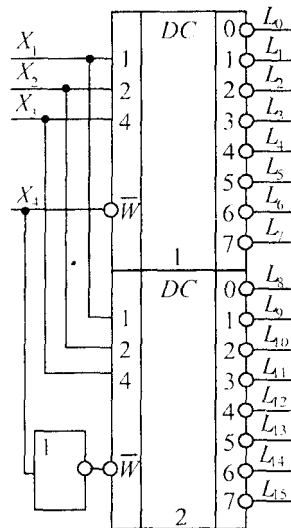


Рисунок 7. – Каскадування дешифраторів

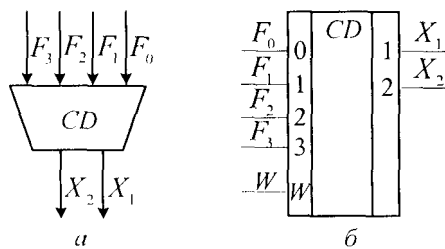


Рисунок 8. – Умовні графічні позначення шифратора: а – на функціональних схемах; б – на принципових схемах

Таблиця 2. – Логіка роботи пріоритетного шифратора

\overline{W}	F_7	F_6	F_5	F_4	F_3	F_2	F_1	F_0	X_3	X_2	X_1	\overline{P}	\overline{V}
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	0	X	X	1	0	1	0	1
0	1	1	1	1	0	X	X	X	1	0	0	0	1
0	1	1	1	0	X	X	X	X	0	1	1	0	1
0	1	1	0	X	X	X	X	X	0	1	0	0	1
0	1	0	X	X	X	X	X	X	0	0	1	0	1
0	0	X	X	X	X	X	X	X	0	0	0	0	1

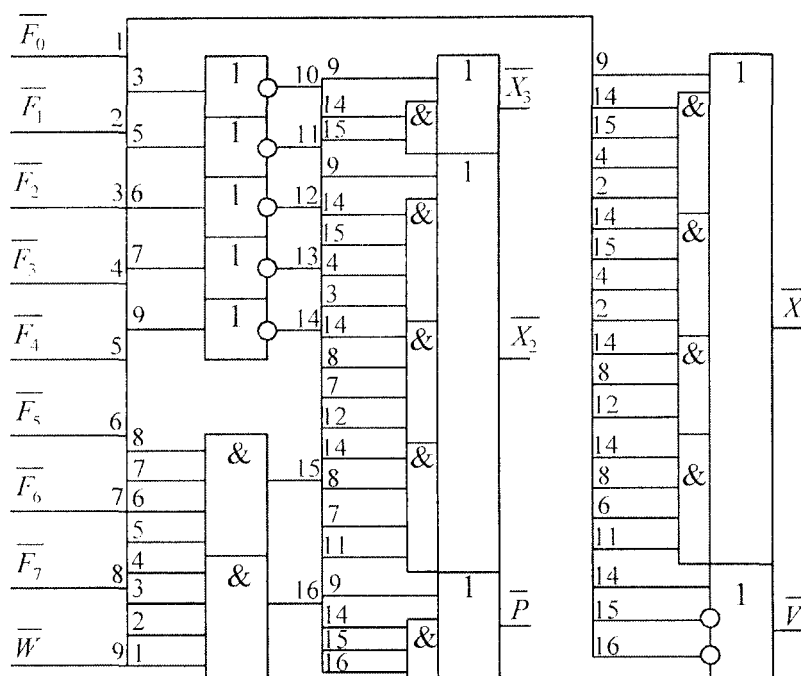


Рисунок 9. – Схема пріоритетного шифратора "8 → 3".

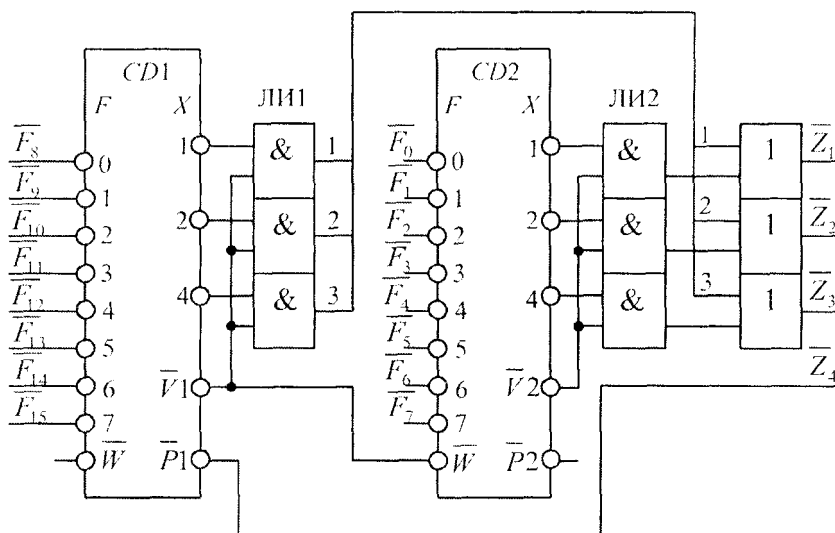


Рисунок 10. – Каскадування двох восьмивходових пріоритетних шифраторів

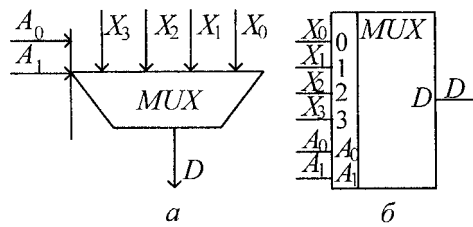


Рисунок 11.— Умовне позначення мультиплексора: а- на функціональних схемах; б,- на принципових схемах

Таблиця 3. – Логіка роботи чотиривходового мультиплексора

A_1	A_0	F_0	F_1	F_2	F_3	D
0	0	1	0	0	0	F_0X_0
0	1	0	1	0	0	F_1X_1
1	0	0	0	1	0	F_2X_2
1	1	0	0	0	1	F_3X_3

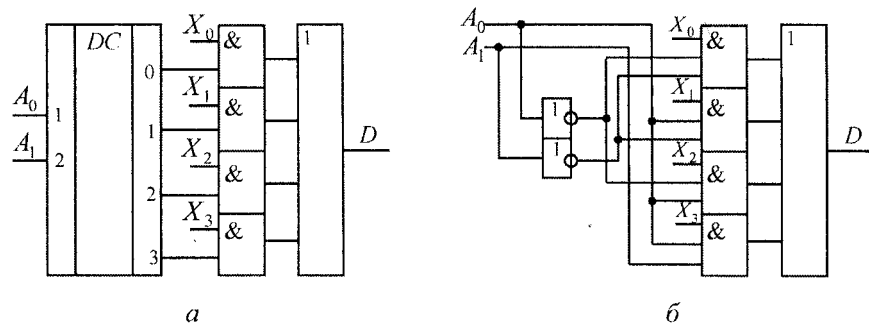


Рисунок 12.— Схеми мультиплексорів: а — з внутрішнім дешифратором; б — з адресними мінтермами

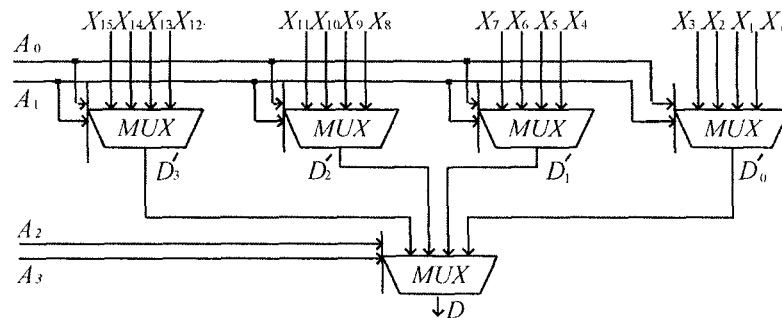


Рисунок 13. – Каскадування мультиплексорів

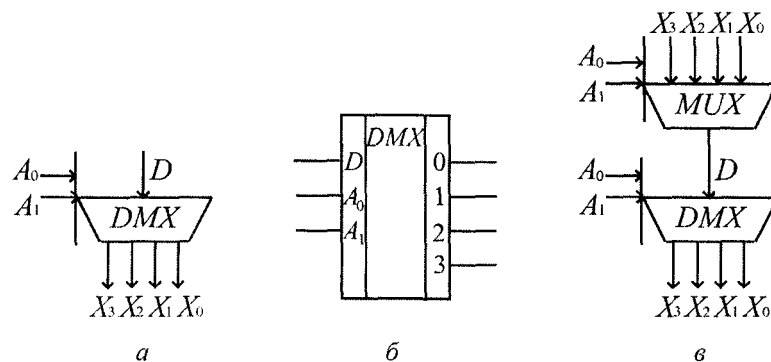


Рисунок 14. – Умовні графічні позначення демультимплексорів: а – на функціональних схемах; б – на принципових схемах; в – типове з'єднання з мультиплексором

Таблиця 4 – Логіка роботи двоадресного демультиплексора

A_1	A_0	F_0	F_1	F_2	F_3	X_0	X_1	X_2	X_3
0	0	1	0	0	0	F_0D	-	т	-
0	1	0	1	0	0	-	F_1D	-	—
1	0	0	0	1	0	-	-	F_2D	-
1	1	0	0	0	1	-	-	-	F_3D

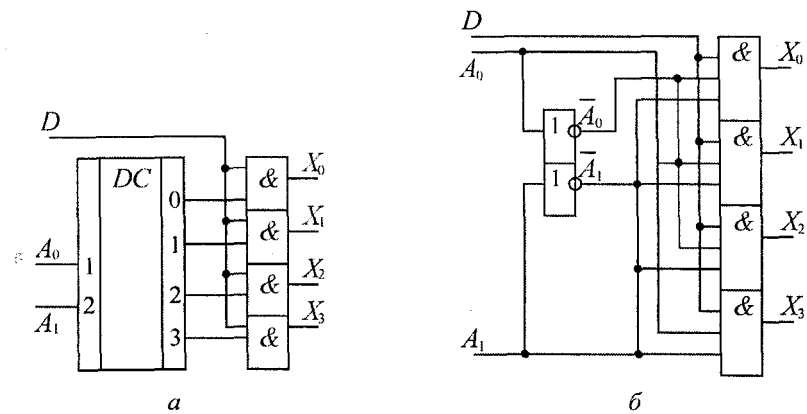


Рисунок 15.— Схема демультиплексорів: а – з внутрішнім дешифратором; б – з поєднанням адресних і вхідних змінних

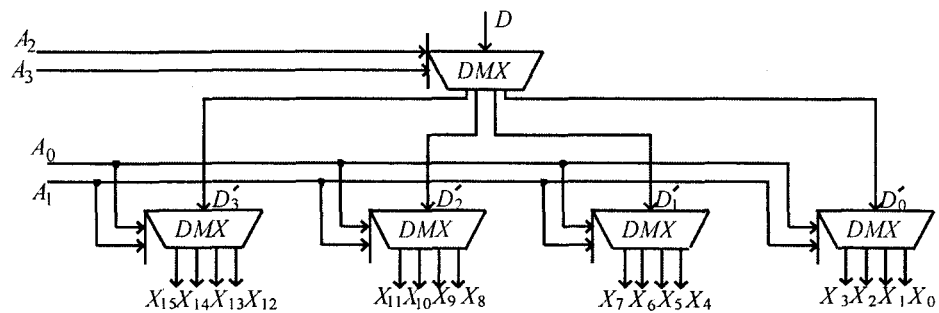


Рисунок 16.— Каскадування демультиплексорів