

Регістри

Регістром називається типовий функціональний вузол комп'ютера, призначений для приймання, тимчасового зберігання, перетворення і видачі n - розрядного двійкового слова. Регістр містить регулярний набір однотипних тригерів, в кожному з яких зберігається значення одного двійкового розряду машинного слова. Найчастіше використовують тригери типів RS , JK і D (рис.1).

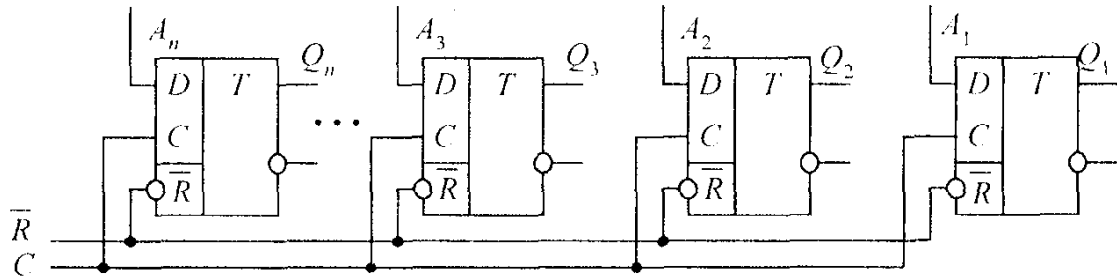


Рисунок 1 – Схема регістра на D – тригерах

Регістри, призначені тільки для приймання (записування), зберігання і передачі інформації, називаються елементарними або фіксаторами. Регістри, в яких зберігання даних поєднується з мікроопераціями зсуву, називаються зсувовими. Елементарні регістри будують на одноступеневих тригерах, а регістри зсуву – на двоступеневих або D - тригерах з динамічним керуванням. Логічна функція регістра позначається буквами RG (*register*). Регістри забезпечують зберігання команд, адреси пам'яті, результатів операцій, індексів та ін.

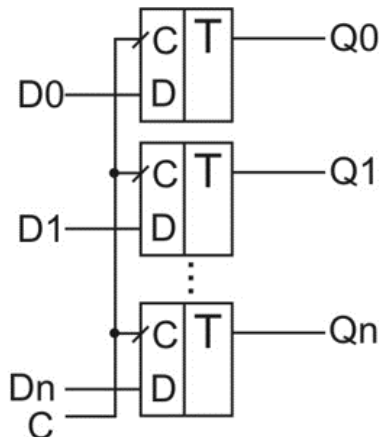


Рисунок 2 – Паралельний регістр

Види паралельних регістрів

- Регістри, що спрацьовують за фронтом сигналу (регістри, що тактуються). Зміна стану - за фронтом сигналу C . До приходу наступного фронту - зберігання.
- Регістри, що спрацьовують за рівнем сигналів (регістри-засувки). Якщо сигнал $C = 1$, то вихідні сигнали повторюють вхідні. Якщо сигнал $C = 0$, то запам'ятовування і зберігання вхідних сигналів.

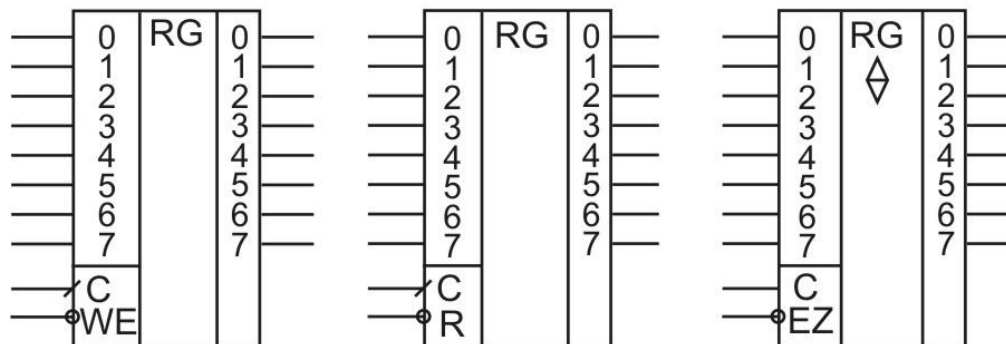
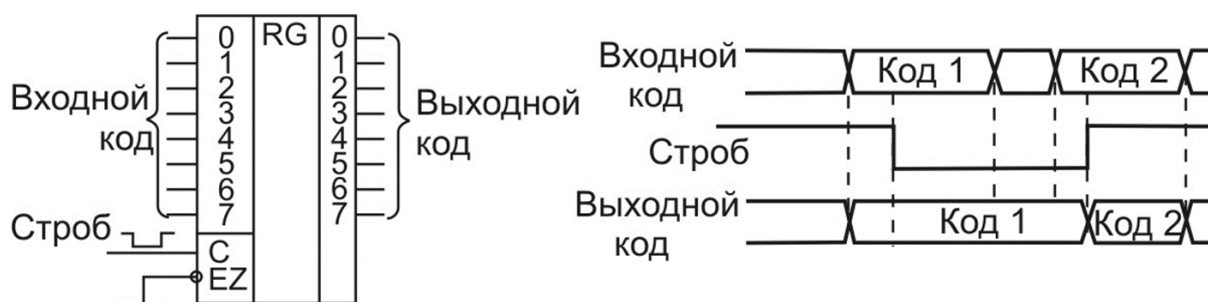


Рисунок 3 – Типи паралельних регістрів: регістри, що тактуються та регістр-засувка



Входы			Выходы
-WE	C	D	Q
0	0→1	0	0
0	0→1	1	1
0	0	X	Не меняется
0	1	X	Не меняется
1	X	X	Не меняется

Рисунок 4 – Регістр, що тактуються



Входы			Выходы
-EZ	C	D	Q
0	1	1	1
0	1	0	0
0	0	X	Не меняется
1	X	X	Z-состояние

Рисунок 5 – Регістр-засувка

Регістри зсуву

Зсув — це одночасне просторове переміщення двійкового слова в розрядній сітці із збереженням порядку слідування нулів і одиниць. Регістри, призначені для виконання мікрооперацій зсуву, називаються регістрами зсуву. Мікрооперації зсуву використовують у процесі виконання команд множення, ділення і нормалізації. Крім того, за допомогою зсуву здійснюється перетворення паралельного коду в послідовний або навпаки (наприклад, при обміні інформацією з магнітними стрічками і дисками).

Зсув слова може виконуватися праворуч (у бік молодших розрядів) або ліворуч (у бік старших розрядів).

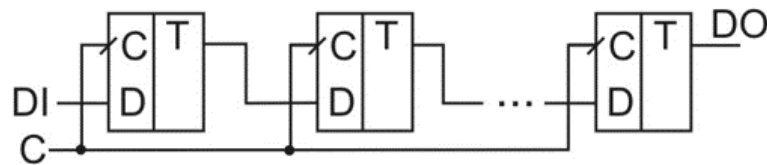


Рисунок 6 – Регістр зсуву

Схема чотирирозрядного регістра зсуву вправо на JK-тригерах, яка забезпечує перетворення кодів, показана на рис. 7, а. Старший розряд регістра за допомогою інвертора на К-вході працює в режимі D-тригера.

Нехай на вхід регістра по лінії D поступає послідовний код слова $A = 1101$ в напрямку від молодших розрядів до старших. Значення розрядів слова поступає одночасно із синхроімпульсами, які забезпечують як приймання коду в старший розряд, так і одночасний зсув вмісту регістра праворуч (рис. 7, б). Після приходу чотирьох синхроімпульсів на виходах регістра $Q_4 - Q_1$ встановлюється код 1101. Таким чином здійснюється перетворення послідовного коду в паралельний, яке часто називають послідовним введенням слова в регістр.

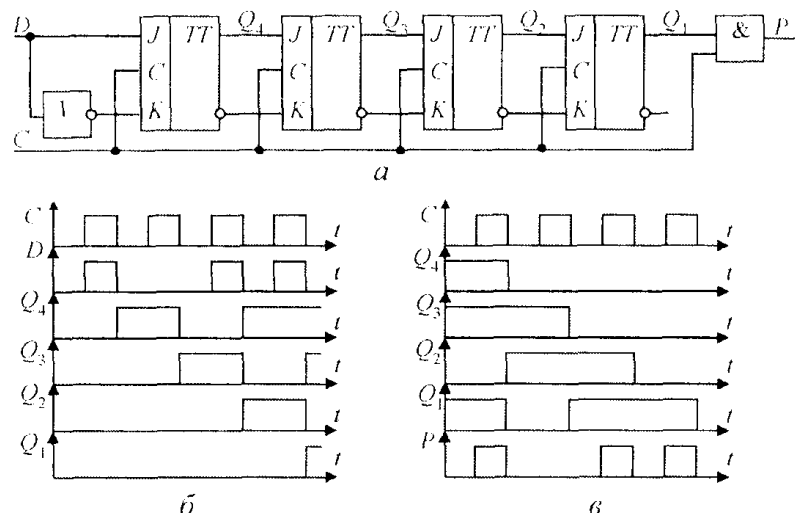


Рисунок 7 –Регістр зсуву: а – схема; б, в – перетворення послідовного коду в паралельний і навпаки

Перетворення паралельного коду в послідовний також відбувається зсувом слова, яке зберігається. Процес перетворення паралельного коду слова $A = 1101$ в послідовний в напрямку від молодших розрядів до старших за допомогою зсуву вправо показаний на рис. 7, в.

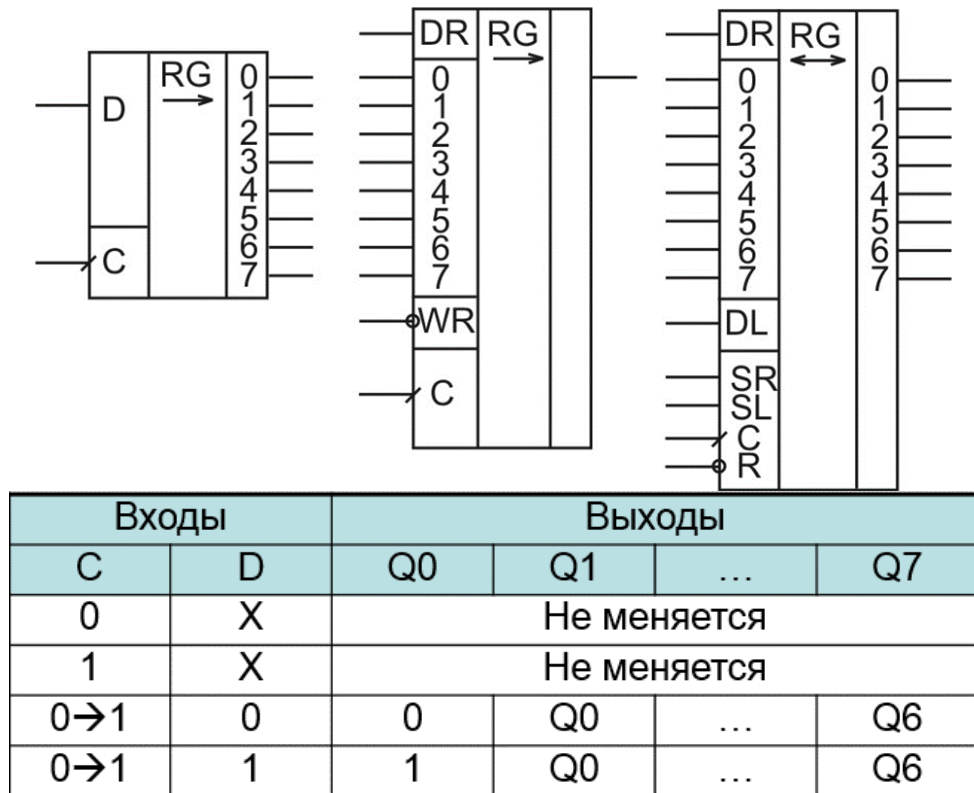


Рисунок 8 – Типи регістрів зсуву

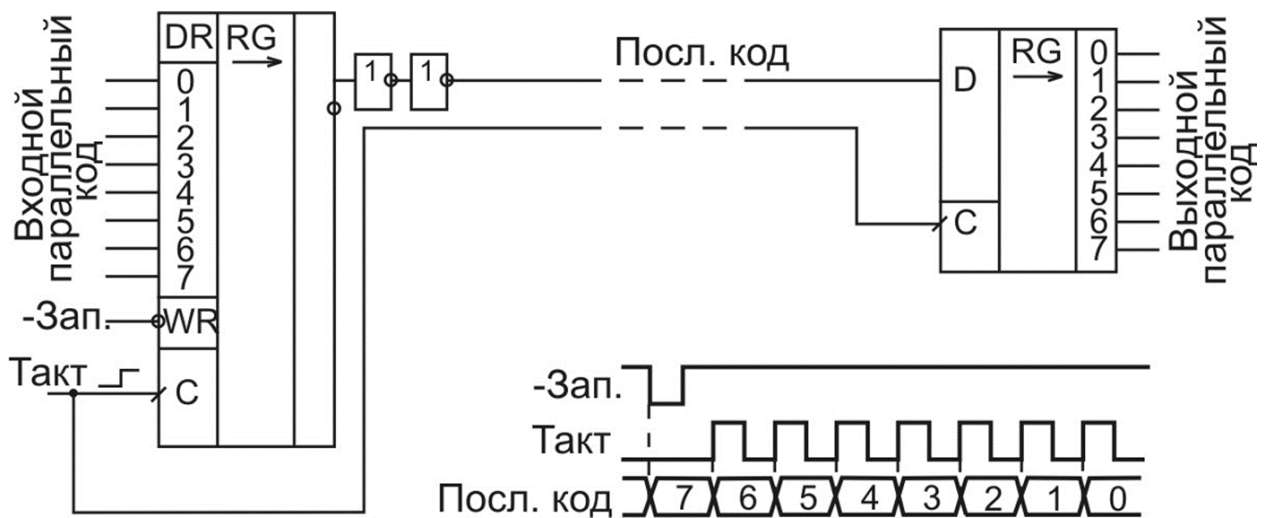


Рисунок 9 – Послідовна передача даних

У системах синхронізації і пристроях керування використовують розподільники тактів (РТ), які виробляють серії імпульсів. Найпростіший спосіб побудови розподільника тактів полягає в розподілі лічильними тригерами частоти прямокутних імпульсів f від задавального генератора (ЗГ).

На прямому й інверсному виходах тригера за допомогою схем збігу утворюються дві послідовності імпульсів фаз $C_1 = fQ$ і $C_2 = f\bar{Q}$ (рис.10, а). Тривалість такту синхронізації T_c в два рази більша за період надходження імпульсів ЗГ (рис. 10. б).

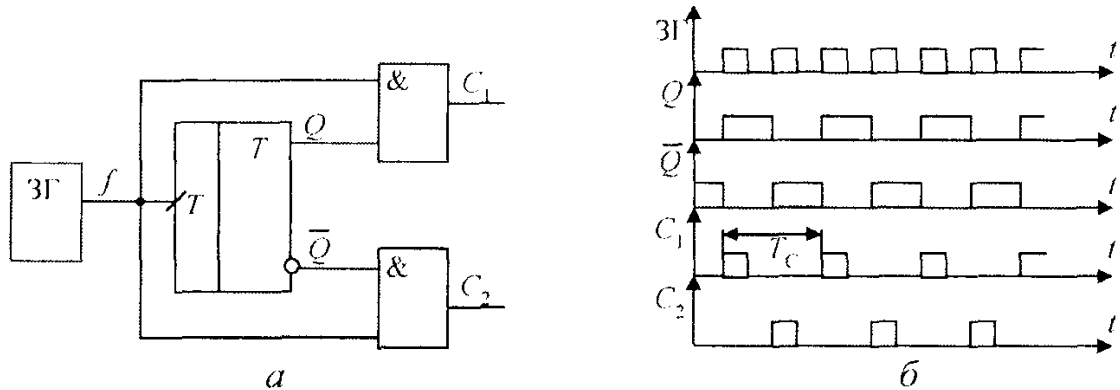


Рисунок 10 – Розподільник тактів: а - схема; б - часові діаграми

Розподільники тактів будуються також на кільцевих регістрах, в яких вихід молодшого розряду з'єднаний з інформаційним входом старшого, якщо реалізований зсув праворуч (рис. 11, а), або є зв'язком від старшого розряду до молодшого при зсуву ліворуч.

Кільцевий регістр як розподільник тактів функціонує таким чином. Спочатку через схему АБО в старший розряд Q_4 записується одиниця. Потім по фронту кожного синхроімпульсу одиниця зсувається праворуч і по чергово з'являється на виходах Q_3 , Q_2 , Q_1 . З приходом четвертого синхроімпульсу одиниця з молодшого розряду Q_1 по кільцевому зв'язку і через схему АБО знову записується в старший розряд. Число виходів розподільника тактів визначається кількістю тригерів кільцевого регістра. У розподільнику тактів на основі чотирьох розрядного кільцевого регістра формуються імпульси фаз C_1 , C_2 , C_3 , C_4 , які утворюють машинний такт T тривалістю в чотири періоди синхроімпульсів, тобто $T \approx 4T_c$ (рис. 11, б).

Недоліком схеми, зображеної на рис. 11, а, є можливість збою – появи зайвих одиниць в розрядах, наприклад, 1100, 1001.

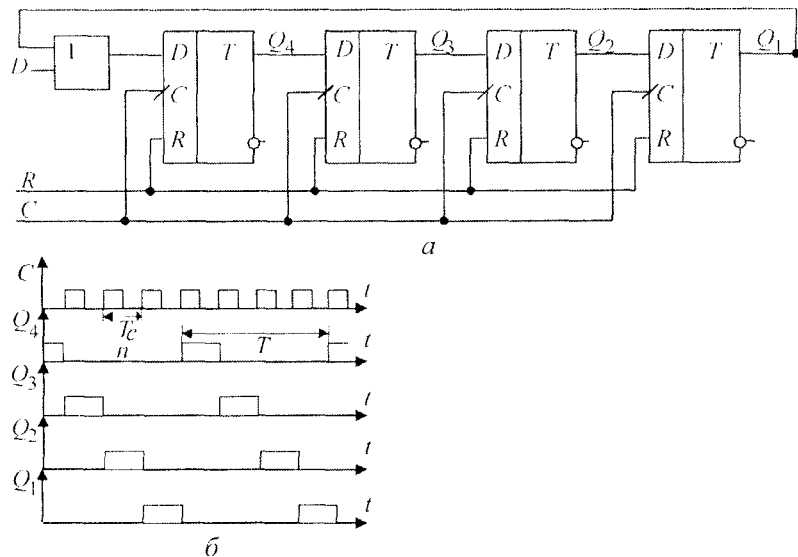


Рисунок 11– Кільцевий регістр: а – схема; б – часові діаграми

Регістри в мікросхемах серії КР1533

Серія мікросхем КР1533 містить широкий набір регістрів. Більшість регістрів – восьмирозрядні з третім станом виходу і одно - або двостороннім зсувом (рис. 5). Мікросхема КР1533ІР13 (рис.5, а) – це восьмирозрядний реверсивний зсувовий регістр. Він має входи для паралельного записування даних D_0 – D_7 , синхронізації C , послідовного приймання DR і DL , завдання режимів роботи $S1$, $S0$ та вхід скидання R . Інформація зчитується з паралельних виходів Q_0 – Q_7 . Розряди нумеруються зліва направо: Q_0 — старший розряд, Q_1 — молодший.

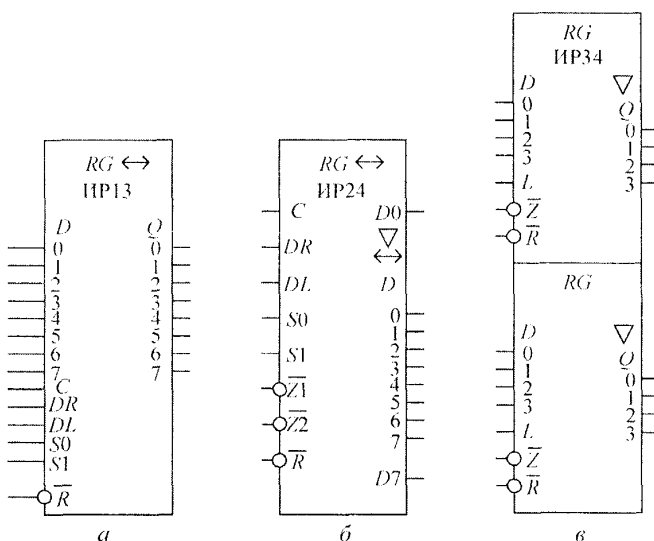


Рисунок 12 – Регістри серії КР1533: а – ІР13;б – ІР24; в – ІР34

Регістр забезпечує чотири режими роботи: $S1S0 = 00$ – зберігання даних (блокування); 01 – послідовне приймання зі зсувом вправо по входу DR , 10 – послідовне приймання зі зсувом вліво по входу DL ; 11 – паралельне

записування по входу $D0-D7$. Записування і послідовне приймання даних здійснюються по фронту синхроімпульса C . Під час записування послідовне введення даних блокується. При $R = 0$ всі входи регістра устанавлюються в стан "0".

Мікросхема КР1533ІР24 (рис. 12, б) – це восьмирозрядний реверсивний зсувовий регістр з двонаправленими виводами $D0-D7$ для прийому і видачі інформації. Виводи $D0-D7$ мають Z -стани, в які вони переключаються при подачі сигналу лог. 1 хоча б на один із входів $\overline{Z1}$ чи $\overline{Z2}$. Регістр має також додаткові виводи $D0$ і $D7$, які зв'язані відповідно із старшим і молодшим розрядами, але не мають Z -станів.

Регістр забезпечує чотири синхронні режими роботи залежно від сигналів на входах $S1-S0$: 00 – зберігання (блокування); 01 – послідовне записування по входу DR із зсувом вправо; 10 – послідовне записування по входу DL із зсувом вліво; 11 – паралельний прийом даних. Перші три режими реалізуються при $\overline{Z1}=\overline{Z2} = 0$; при цьому інформація передається на виводи $D0-D7$, а четвертий режим здійснюється незалежно від значень сигналів на виходах $\overline{Z1}$ і $\overline{Z2}$. Всі операції виконуються по фронту сигналу синхронізації C .

Регістри ІР13, ІР24 серії КР1533 використовують для тимчасового зберігання інформації, перетворення даних з паралельної форми в послідовну і навпаки.

Мікросхема КР1533ІР34 (рис. 12, в) – це два незалежні чотирирозрядні регістри з трьома станами на виходах $Q0-Q3$. Паралельний запис даних по входах $D0-D3$ проводиться при сигналі лог. 1 на вході дозволу L ; якщо $L = 0$, то регістр переходить в режим зберігання. Високий рівень сигналу на вході Z переключає виходи регістра в третій стан. Але при цьому в регістр можуть записуватись нові дані або зберігатись попередні. Мікросхема має велику навантажувальну здатність, що в поєднанні з трьома станами дозволяє використовувати регістр в магістральних структурах без додаткових інтерфейсних схем.

Потужність споживання регістрів ІР13, ІР24 та ІР34 серії КР1533 становить приблизно 200 мВт, а час записування інформації – 15-20 нс.